

#2

THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc542 U.S. PTO
09/258442

02/26/99

In re the Application of: Syuji TAKADA et al.

Filed : Concurrently herewith

For : COMMON BUFFER MEMORY CONTROL APPARATUS

Serial No.: Concurrently herewith

February 26, 1999

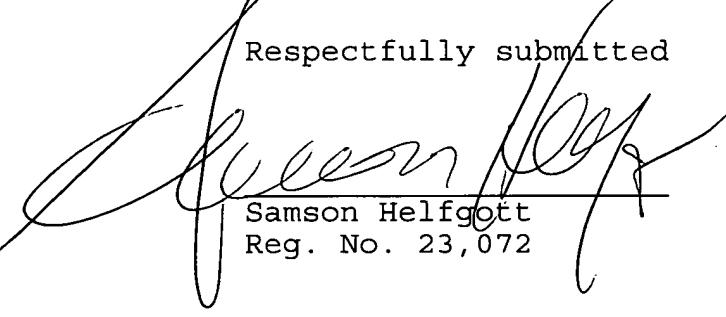
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No. 10-062530 of March 13, 1998 whose priority has been claimed in the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJI15.894

LHH:priority

Filed Via Express Mail
Rec. No.: FM366252321US
On Feb 26 1999
By G. Helfgott

Any fee due as a result of this paper, not covered by an enclosed check may be charged on Deposit Acct. No. 08-1634.

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC542 U.S. PTO
09/258442
02/26/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1998年 3月13日

出願番号
Application Number:

平成10年特許願第062530号

出願人
Applicant(s):

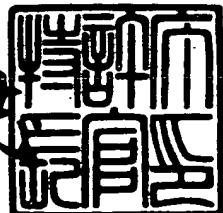
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1998年 7月31日

特許長官
Commissioner,
Patent Office

伴佐山達志



出証番号 出証特平10-3060760

【書類名】 特許願
【整理番号】 9701176
【提出日】 平成10年 3月13日
【あて先】 特許庁長官殿
【国際特許分類】 H04L 12/00
【発明の名称】 共通バッファメモリ制御装置
【請求項の数】 9
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 高田 修司
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 大場 康弘
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100072833
【弁理士】
【氏名又は名称】 柏谷 昭司
【代理人】
【識別番号】 100075890
【弁理士】
【氏名又は名称】 渡邊 弘一
【代理人】
【識別番号】 100105337
【弁理士】

【氏名又は名称】 真鍋 潔

【手数料の表示】

【予納台帳番号】 012612

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704249

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 共通バッファメモリ制御装置

【特許請求の範囲】

【請求項1】 非同期転送モード(ATM)に基づく複数のセルに分割されたメッセージデータを格納する共通バッファメモリを制御する共通バッファメモリ制御装置において、

複数のブロック単位に分割された前記共通バッファメモリの各ブロック内におけるセルの最終書き込みアドレス値を保持するアドレス管理テーブルと、前記各ブロック毎に使用者識別番号を保持する使用者管理テーブルとを備え、

先頭部、途中部及び末尾部とからなる1つのメッセージに対して、空き状態の任意の1つの前記ブロックを割り当て、該1つのメッセージに係るセルを同一のブロックの共通バッファメモリに順次格納する構成を有する

ことを特徴とする共通バッファメモリ制御装置。

【請求項2】 前記共通バッファメモリ制御装置は、次に到着するセルを書き込むアドレスを予め格納したブロック管理テーブルを備えたことを特徴とする請求項1記載の共通バッファメモリ制御装置。

【請求項3】 前記共通バッファメモリ制御装置は、前記共通バッファメモリのブロック長及び分割数を、外部に設けた入力装置からの設定データに従って任意に設定する構成を有することを特徴とする請求項1又2記載の共通バッファメモリ制御装置。

【請求項4】 前記共通バッファメモリ制御装置は、前記共通バッファメモリのブロック長を、メッセージデータの情報量に応じて変更する構成を有することを特徴とする請求項1又は2記載の共通バッファメモリ制御装置。

【請求項5】 前記共通バッファメモリ制御装置は、前記共通バッファメモリを、同じブロック長のブロックの集合を1つのブロック群とし、ブロック長の異なる複数のブロック群に分割して、各ブロック毎に先頭書き込みアドレスを割り当てる構成を有することを特徴とする請求項1、2又は3記載の共通バッファメモリ制御装置。

【請求項6】 前記共通バッファメモリ制御装置は、ブロックの割当におい

て、前記ブロック群毎に独立して空き状態のブロックを検索する構成を有することを特徴とする請求項5に記載の共通バッファメモリ制御装置。

【請求項7】 前記共通バッファメモリ制御装置は、ブロック割当において、メッセージの先頭部を示すセルが入力される前に、空き状態のブロックを予め検索しておく構成を有することを特徴とする請求項1乃至6記載の共通バッファメモリ制御装置。

【請求項8】 前記共通バッファメモリ制御装置は、確保したブロック長よりもメッセージデータの情報が少ないと判定した場合に、確保した剩余領域を解放する構成を有することを特徴とする請求項4記載の共通バッファメモリ制御装置。

【請求項9】 前記共通バッファメモリ制御装置は、メッセージデータの異常を検出したとき、異常状況に応じて共通バッファメモリの制御を行う構成を有することを特徴とする請求項1乃至8記載の共通バッファメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ATM交換機等の共通バッファメモリ制御装置に関し、特に複数のセルから成る1つのメッセージデータを転送するメッセージ通信サービスに適した共通バッファメモリ制御装置に関する。

【0002】

【従来の技術】

広帯域統合サービスディジタルネットワーク(B-ISDN)で用いられる非同期転送モード(ATM: Asynchronous Transfer Mode)のATM交換機等は、共通バッファメモリを用いたスイッチング装置によりATMネットワークにおけるセルのルーティングを行う。

【0003】

従来の共通バッファメモリを用いたスイッチング装置は、アドレスチェーンによる共通バッファメモリの書き込み読み出し制御を行っている。図3は従来の共通バッファメモリを用いたスイッチング装置を示す図である。

【0004】

図3において、31は多重化部（MUX）、32は共通バッファメモリ、33は共通バッファメモリの書き込み位置及び読み出位置を指定するアドレスポインタ、34は多重分離部（DEMUX）、35はルーティング情報デコーダ（RTGD EC）、36は書き込みアドレスメモリ、37は読み出しアドレスメモリ、38は出力ルート番号デコーダ、39は出力ルート番号カウンタである。

【0005】

書き込みアドレスメモリ36は出力ルート対応にメモリ領域WA-1乃至WA-nを有し、又、読み出しアドレスメモリ37は出力ルート対応にメモリ領域RA-1乃至RA-nを有する。

【0006】

各入線から入力（入力-1～入力-n）されたセルは、多重化部31で多重され、1セルずつ順次共通バッファメモリ32に出力される。このとき、多重化部31は各セルのヘッダ部に格納されたルーティング情報を抽出し、該ルーティング情報をルーティング情報デコーダ35に送出する。ルーティング情報デコーダ35は該ルーティング情報をデコードし、その出力ルート番号*i*に対応した書き込みアドレスメモリWA-iを指定する。

【0007】

出力ルート対応の各書き込みアドレスメモリWA-1乃至WA-nは、共通バッファメモリ32におけるセルの書き込みアドレスを保持し、ルーティング情報デコーダ35により指定された書き込みアドレスメモリWA-iは、保持している書き込みアドレスをアドレスポインタ33に出力する。

【0008】

共通バッファメモリ32は、アドレスポインタ33により指定される書き込みアドレスの位置に、前記多重化部31から出力されたセルを書き込む。

又、アドレスポインタ33は、該出力ルートへの次のセルが到着したときに該セルを格納する書き込みアドレスを書き込みアドレスメモリWA-iに出力し、書き込みアドレスメモリWA-iは新たな書き込みアドレスに保持内容を更新する。

【0009】

一方、共通バッファメモリ32に書込まれたセルは以下のように読み出される。まず、出力ルート番号カウンタ39は順番に出力ルート番号を出力し、出力ルート番号デコーダ38は出力ルート番号*i*に対応した読み出しアドレスメモリRA-*i*を指定する。

【0010】

出力ルート対応の各読み出しアドレスメモリRA-1乃至RA-nは、送出するセルが格納されている共通バッファメモリ32の読み出しアドレスを保持し、出力ルート番号デコーダ38により指定された読み出しアドレスメモリRA-*i*は、保持している読み出しアドレスをアドレスポインタ33に出力する。共通バッファメモリ32は、アドレスポインタ33により指定される読み出しアドレスのセルを読み出し、多重分離部34に送出する。

【0011】

又、アドレスポインタ33は、該出力ルートへ次に送出するセルが格納されているアドレスを該読み出しアドレスメモリRA-*i*に出力し、該読み出しアドレスメモリRA-*i*は、その新たな読み出しアドレスに保持内容を更新する。

【0012】

そして、セルが共通バッファメモリ32から読み出され、多重分離部34に送出されると、そのセルがこれまで格納されていた共通バッファメモリ32の領域は解放され、その後到着するセルの書き込みに使用される。

【0013】

共通バッファメモリ32から読み出されたセルは、多重分離部34によりセルヘッダ部のルーティング情報に対応した出力ルートに分離され、それぞれの出線から出力（出力-1～出力-n）される。

【0014】

【発明が解決しようとする課題】

前述のアドレスチェーンによる共通バッファメモリの書き込み読み出し制御を行うスイッチング装置により、複数のセルから成る1つのメッセージデータを転送する所謂メッセージ通信サービスを行おうとした場合、1つのメッセージデータが共通バッファメモリ32内において複数のセルに分離されて格納される。

【0015】

従って、ATMレイヤとその上位レイヤとの間でのメッセージデータについてのハンドリング等に際して、1つのメッセージデータを構成する各セルが格納されているアドレスの全てを制御しなければならず、処理が複雑になり、高速なメッセージ通信サービスを提供することができないという問題点がある。

【0016】

本発明は、複数のセルから成る1つのメッセージ情報の処理におけるアドレス制御を簡素化し、高速なメッセージ通信サービスを可能にする共通バッファメモリ制御装置を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明の共通バッファメモリ制御装置は、(1)非同期転送モード(ATM)に基づく複数のセルに分割されたメッセージデータを格納する共通バッファメモリを制御する共通バッファメモリ制御装置において、複数のブロック単位に分割された前記共通バッファメモリの各ブロック内におけるセルの最終書き込みアドレス値を保持するアドレス管理テーブルと、前記各ブロック毎に使用者識別番号を保持する使用者管理テーブルとを備え、先頭部、途中部及び末尾部とからなる1つのメッセージに対して、空き状態の任意の1つの前記ブロックを割り当て、該1つのメッセージに係るセルを同一のブロックの共通バッファメモリに順次格納する構成を有するものである。

【0018】

又、(2)次に到着するセルを書き込むアドレスを予め格納したブロック管理テーブルを備えたものである。

又、(3)前記共通バッファメモリのブロック長及び分割数を、外部に設けた入力装置からのデータに従って任意に設定する構成を有するものである。

【0019】

又、(4)前記共通バッファメモリのブロック長を、メッセージデータの情報量に応じて変更する構成を有するものである。

又、(5)前記共通バッファメモリを、同じブロック長のブロックの集合を1

つのブロック群とし、ブロック長の異なる複数のブロック群に分割して、各ブロック毎に先頭書き込みアドレスを割り当てる構成を有するものである。

【0020】

又、(6) ブロックの割当において、前記ブロック群毎に独立して空き状態のブロックを検索する構成を有するものである。

又、(7) ブロック割当において、メッセージの先頭部を示すセルが入力される前に、空き状態のブロックを予め検索しておく構成を有するものである。

【0021】

又、(8) 確保したブロック長よりもメッセージデータの情報が少ないと判定した場合に、確保した剩余領域を解放する構成を有するものである。

又、(9) メッセージデータの異常を検出したとき、異常状況に応じて共通バッファメモリの制御を行う構成を有するものである。

【0022】

【発明の実施の形態】

図1は本発明の実施の形態の共通バッファメモリを用いたスイッチング装置を示す図である。同図において、10-#1乃至10-#nはn本の入線、11は多重化部(MUX)、12はセル判別部、13は共通バッファメモリ、14はアドレスポインタ、15はメッセージキュー、16は多重分離部(DEMUX)、17-#1乃至17-#nはn本の出線、20は共通バッファメモリ制御装置、21は空きブロック検索部、22は空きブロック管理テーブル、23はブロック管理テーブル、24は使用者管理テーブル、25はアドレス管理テーブル、30は外部の入出力装置である。

【0023】

共通バッファメモリ13は、メッセージ対応に分割されたブロックBLK-1乃至BLK-n毎にセルの書き込み及び読み出し制御が行われる。

空きブロック管理テーブル22は、該ブロックBLK-1乃至BLK-nに対応にその空き/使用中状態を記憶する領域22-1乃至22-nを有し、同じくブロック管理テーブル23は、ブロック対応に書き込みアドレスを記憶する領域23-1乃至23-nを有し、使用者管理テーブル24は、ブロック対応に使用者識

別番号を記憶する領域24-1乃至24-nを有し、アドレス管理テーブル25は、ブロック対応に最終書き込みアドレスを記憶する領域25-1乃至25-nを有する。

【0024】

図2は本発明の実施の形態の共通バッファメモリの制御のフローチャートである。以下、本発明の実施の形態を図1及び図2を参照して説明する。

n本の入線10-#1乃至10-#nから到着するセルは、多重化部11で多重され、1セルずつ順次セル判別部12に送出される。セル判別部12はセル内の附加情報から、そのセルがメッセージデータの先頭部のセルか、途中部のセルか、末尾部のセルかを判別し(図2(1)参照)、先頭部のセルと判別したときは、メッセージ先頭部のセルが到着したことを示す信号を、空きブロック検索部21に送出する。

【0025】

空きブロック検索部21は、メッセージ先頭部のセルが到着したことを示す信号が入力されると、空きブロック管理テーブル22の、ブロック毎の空き/使用中状態を記憶する領域22-1乃至22-nを検索して任意の空きブロックBLK-iを選定する。空きブロック検索部21は、空きブロックを検出するとそのブロックBLK-iの空きブロック管理テーブル22の領域22-iを使用中状態(0→1)に設定する(図2(2)参照)。

【0026】

空きブロック検索部21は、検出した空きブロックBLK-iに対応するブロック管理テーブル領域の23-i及び使用者管理テーブルの領域24-iを選定する。選定されたブロック管理テーブルの領域23-iは対応するアドレス管理テーブルの領域25-iに保存されているアドレス値により、当該空きブロックBLK-iの先頭アドレスを取得し(図2(3)参照)、又選択された使用者管理テーブルの領域24-iは、セル判別部12がセル内の情報から抽出した使用者識別番号を格納して更新する(図2(4)参照)。

【0027】

前記選択された空きブロックBLK-iの先頭アドレスを取得したブロック管

理テーブル23-iは、その先頭アドレスをアドレスポインタ14に出力し、アドレスポインタ14はブロック管理テーブルの領域23-iから出力されるアドレスにより、共通バッファメモリ13の書き込みアドレスを指定し、共通バッファメモリ13は該書き込みアドレスに、前記判別部12を介して出力されたセルを格納する（図2（5）参照）。

【0028】

又、アドレスポインタ14は次に到着するセルを書き込む書き込みアドレスを、ブロックに対応したアドレス管理テーブルの領域25-iに出力し、アドレス管理テーブルの領域25-iはその新たなアドレスを格納して更新し、該アドレスを最終書き込みアドレスとして保持する（図2（6）参照）。

【0029】

入力されたセルがメッセージデータの途中部のセルである場合、そのセル内の情報から抽出される使用者識別番号が格納されている使用者管理テーブルの領域24-iに対応するアドレス管理テーブルの領域25-iを参照して（図2（7）参照）、最終書き込みアドレスをブロック管理テーブルの領域23-iに与え、該最終書き込みアドレスを取得したブロック管理テーブルの領域23は、前述したアドレスポインタ14を用いた書き込み動作と同様に、共通バッファメモリ13の所定のメモリブロックBLK-iに順次セルを書き込む（図2（5）参照）。セルを書き込んだ後、同様にアドレス管理テーブルの領域25-iの最終書き込みアドレスの更新を行う（図2（6）参照）。

【0030】

メッセージデータの末尾部を示すセルが入力された場合には、使用者管理テーブル24を参照してそのメッセージデータが格納されている共通バッファメモリ13のブロックBLK-iを認識し、該ブロックBLK-i内の記憶内容を全てメッセージキュー15に書き込み（図2（8）参照）、このブロックBLK-iの領域を解放して空き状態とする。併せてそこのブロックBLK-iに対応する空きブロック管理テーブルの空き／使用中を記憶している領域22-iを空き状態に更新し（1→0）、以後の他のメッセージデータの格納に使用可能にする（図2（9）参照）。

【0031】

以上述べた動作は、セル損失や誤挿入のないセルが入力された場合の動作であるが、セル損失や誤挿入等によりメッセージデータの先頭部又は末尾部等に異常を生じた場合でも、1つのメッセージデータは1つのメモリブロック内にまとまって格納されているため、そのアドレス制御が簡素化され、上位レイヤとの間のメッセージデータについてのハンドリングが高速且つ容易となる。

そのため、共通バッファメモリ13からメッセージデータを読出してメッセージキュー15へ書込む際に、メッセージデータの異常状況に応じて、例えば、メッセージキュー15にそのまま上書きする、廃棄してエラーメッセージを発信者に返送して再送要求をする、又はメッセージキュー15に書込んでデータの保護処理を行う、等それぞれ異なる制御を行い、メッセージデータ異常に対する最適な処理を容易に実行することができ、サービスの品質を向上させることができる。

【0032】

前述した実施の形態は、メッセージデータの先頭部を示すセルが入力されたときに空きブロックを検索する制御方式のものであったが、空きブロック検索部21はメッセージデータの先頭部を示すセルが到着する以前に空きブロックを検索しておく構成とすることにより、共通バッファメモリ13へのセルの書き込みを更に高速化することができる。

【0033】

又、共通バッファメモリ13の各ブロックBLK-1乃至BLK-nのブロック長及び分割数は、予め設定した固定的なものとしてもよいが、外部に設けた出入力装置30からトラフィック状態等に応じて適宜設定するようにし、共通バッファメモリのメモリ領域を効率的に使用する構成とすることができる。

更に、共通バッファメモリ13を、同じブロック長のブロックの集合を1つのブロック群とし、ブロック長の異なる複数のブロック群に分割して、各ブロック毎に先頭書き込みアドレスを割り当てる構成とすることができます、その際、ブロックの割当において、ブロック群毎に独立して空き状態のブロックを検索する構成として、メモリ領域を有効に使用すると共にメモリアクセスを高速化することができます。

できる。

【0034】

更に、セル判別部12において、メッセージ通信が開始されるときに送出されるセルから抽出したメッセージデータ量についての情報に基づき、該メッセージデータ量に応じてブロック長を変更する可変ブロック長方式とすることもできる。その場合、確保したブロック長よりも、実際に入力されたメッセージ量が少なかった場合には、剩余領域を解放し、以後のメッセージ通信に使用可能とすることにより、リソースをより有効に利用したメッセージ管理が可能となる。なお、確保したブロック長よりも、実際に入力されたメッセージ量が少なかったと判断される場合として、メッセージデータの途中部のセルを格納しているとき、末尾部を示すセルが到着する以前に先頭部を示すセルが到着したような場合、又は所定の時間が経過しても所定のセルが到着しないようなメッセージデータ異常の場合等がある。

【0035】

【発明の効果】

以上説明したように、本発明によれば、1つのメッセージに対して共通バッファメモリの1つのブロックを割り当て、1つのメッセージに係るセルを同一のブロックの共通バッファメモリに順次格納することにより、そのアドレス制御が簡素化され、上位レイヤとの間のメッセージデータについてのハンドリングが高速且つ容易となる利点がある。

【0036】

又、メッセージデータの先頭部を示すセルが到着する以前に空きブロックを検索しておく構成とすることにより、共通バッファメモリ13へのセルの書き込みを更に高速化することができ、共通バッファメモリのブロック長及び分割数を、適宜設定する構成としたことにより、共通バッファメモリのメモリ領域を効率的に使用することができる。更に、メッセージデータの異常に対してその異常状況に応じて、それぞれ異なる制御を行うことにより、サービスの品質を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態の共通バッファメモリを用いたスイッチング装置を示す図である。

【図2】

本発明の実施の形態の共通バッファメモリの制御のフローチャートである。

【図3】

従来の共通バッファメモリを用いたスイッチング装置を示す図である。

【符号の説明】

10-#1乃至10-#n n本の入線

11 多重化部 (MUX)

12 セル判別部

13 共通バッファメモリ

14 アドレスポインタ

15 メッセージキュー

16 多重分離部 (DEMUX)

17-#1乃至17-#n n本の出線

20 共通バッファメモリ制御装置

21 空きブロック検索部

22 空きブロック管理テーブル

23 ブロック管理テーブル

24 使用者管理テーブル

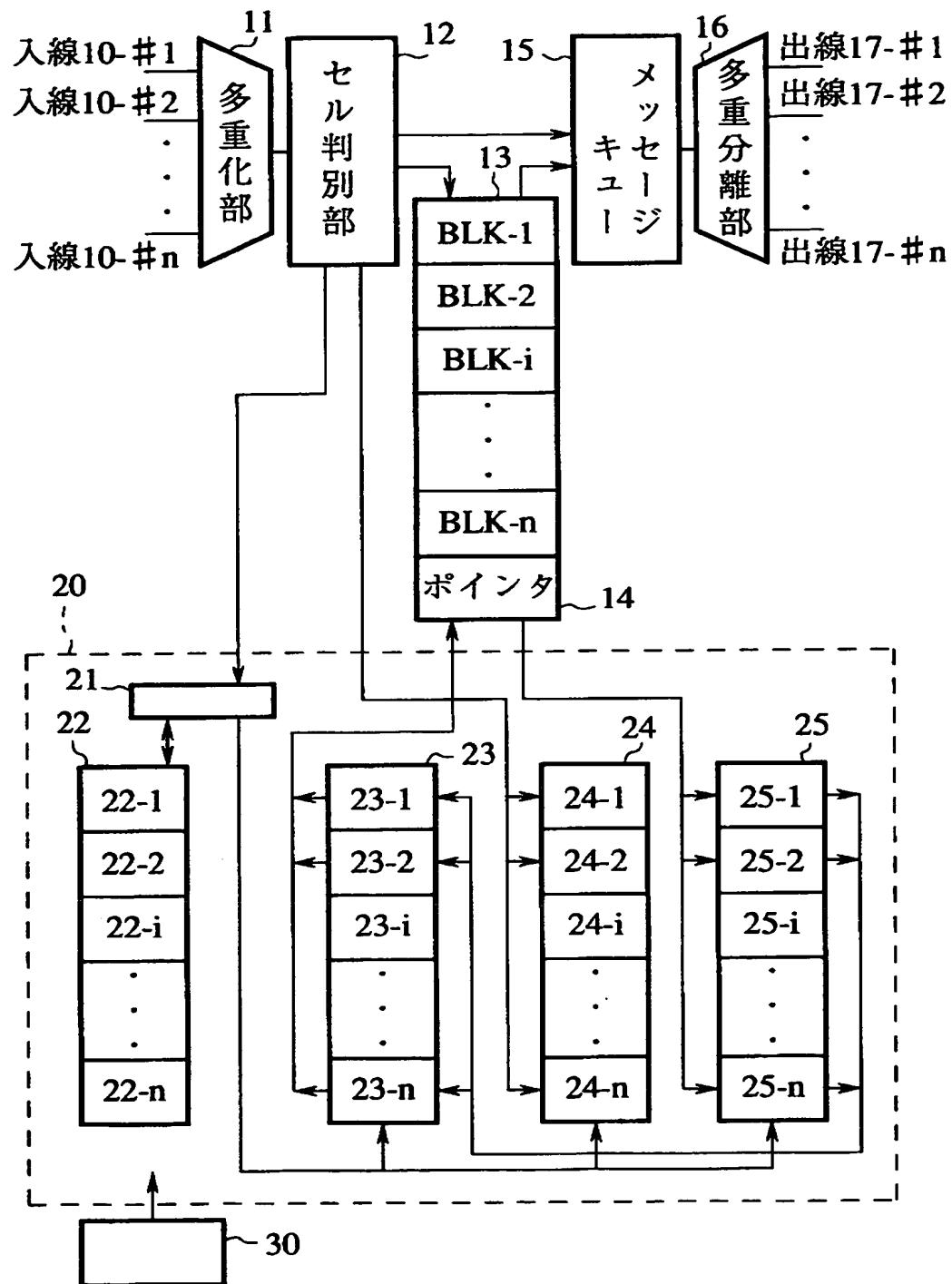
25 アドレス管理テーブル

30 外部の入出力装置

【書類名】 図面

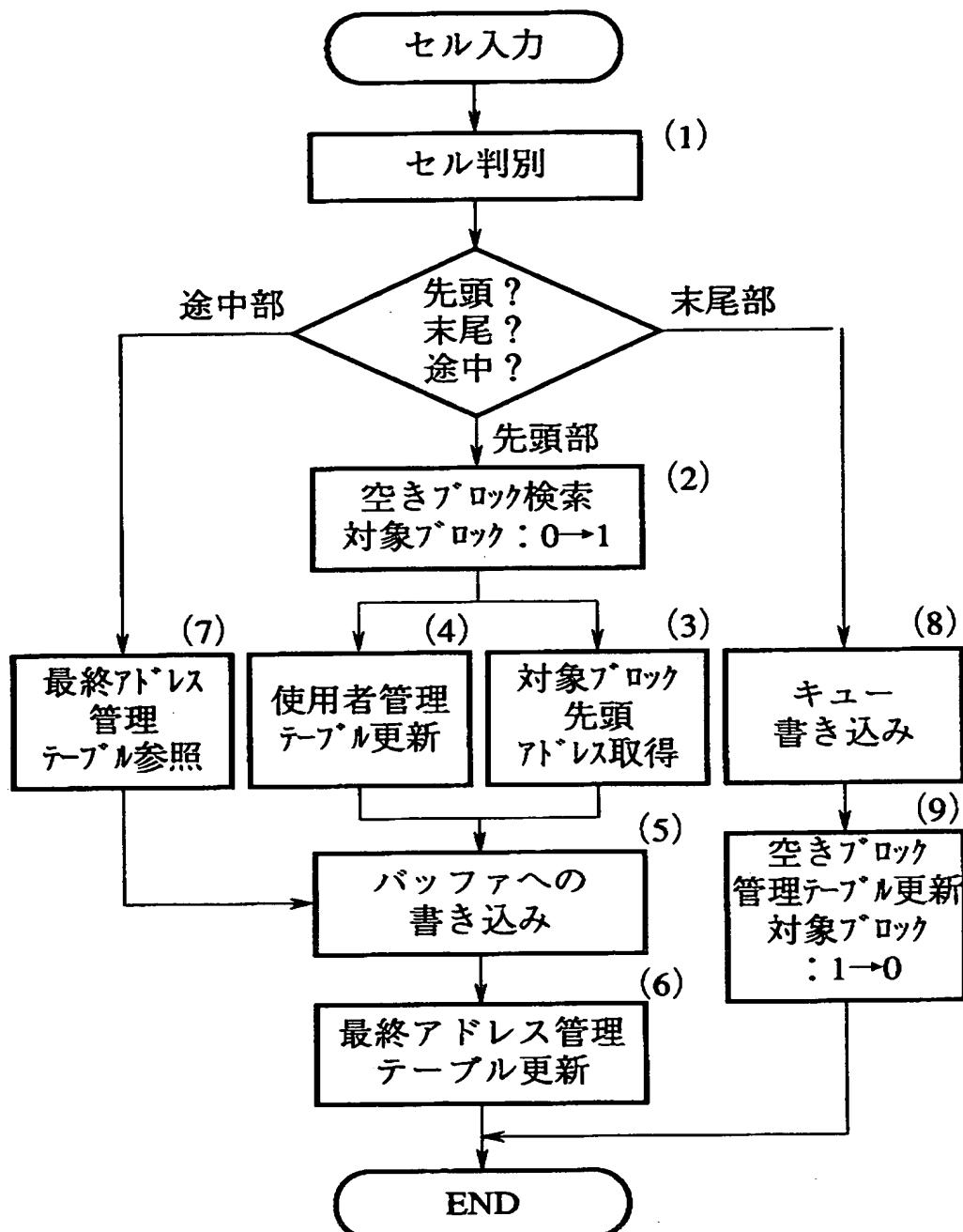
【図1】

本発明の実施の形態の共通バッファメモリを用いた
スイッチング装置



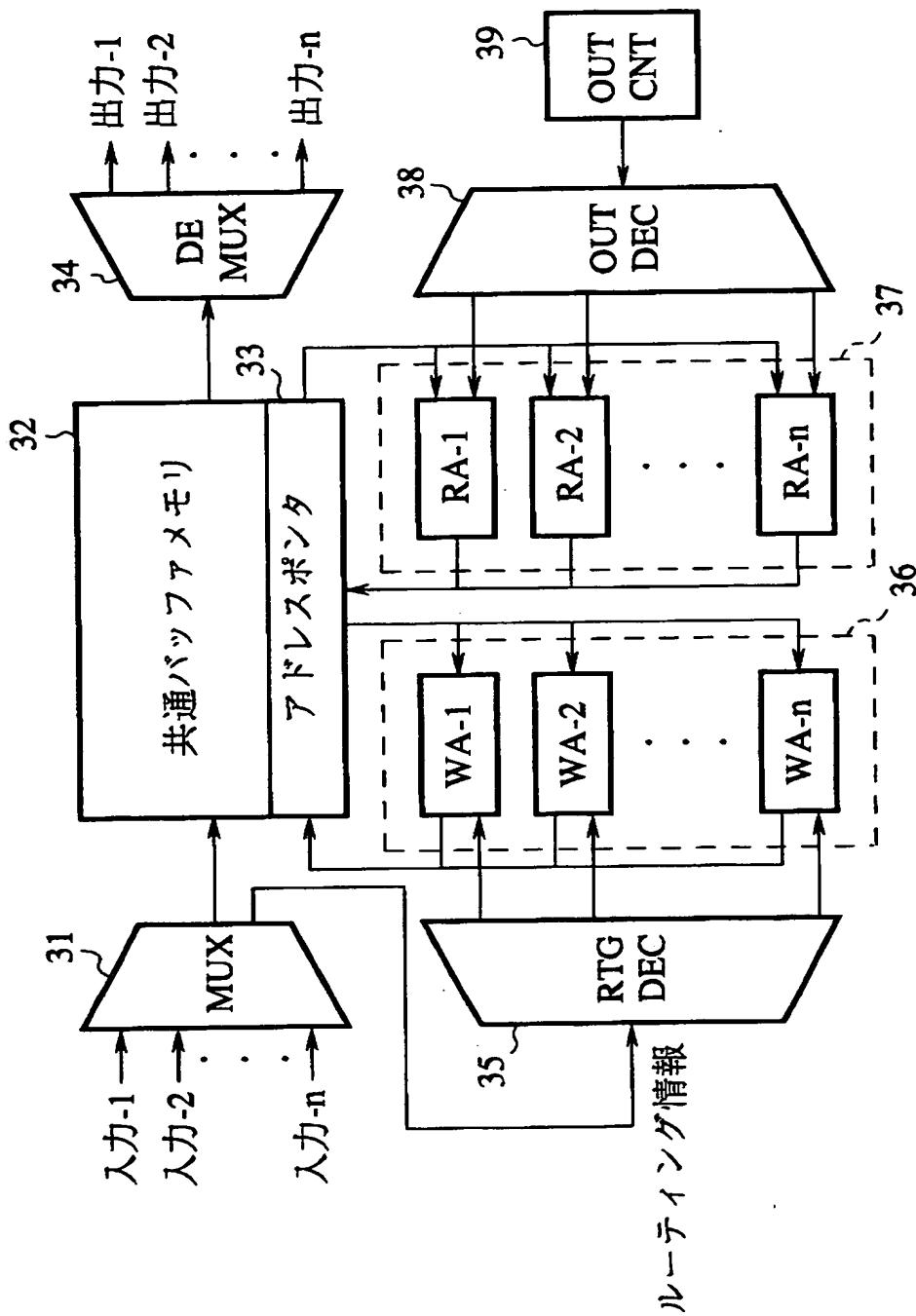
【図2】

本発明の実施の形態の共通バッファメモリの制御のフローチャート



【図3】

従来の共通バッファメモリを用いたスイッチング装置



【書類名】 要約書

【要約】

【課題】 ATM交換機等の共通バッファメモリ制御装置に関し、複数のセルから成る1つのメッセージデータの処理におけるアドレス制御を簡素化し、高速なメッセージ通信サービスを可能にする。

【解決手段】 複数のセルに分割されたメッセージデータを格納する共通バッファメモリ13を、メッセージ対応のブロックBLK1～nに分割し、各ブロックの空き状態を記憶する空きブロック管理テーブル22と、共通バッファメモリのブロック対応の書き込みアドレスを記憶するブロック管理テーブル23と、各ブロック毎に使用者識別番号を保持する使用者管理テーブル24と、各ブロックの最終書き込みアドレス値を保持するアドレス管理テーブル25とを備え、1つのメッセージデータに対して、空き状態の任意の1つのブロックを割り当て、1つのメッセージに係るセルを同一のブロックの共通バッファメモリに順次格納する構成を有している。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072833
【住所又は居所】 東京都港区虎ノ門二丁目9番11号 信和ビル4階
【氏名又は名称】 柏谷 昭司
申請人

【代理人】

【識別番号】 100075890
【住所又は居所】 東京都港区虎ノ門二丁目9番11号 信和ビル4階
【氏名又は名称】 渡邊 弘一

【代理人】

【識別番号】 100105337
【住所又は居所】 東京都港区虎ノ門二丁目九番十一号 信和ビル4階
【氏名又は名称】 テクノパル特許事務所内
眞鍋 潔

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社